

04135495 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: **05-127195 [JP 5127195 A]**

PUBLISHED: May 25, 1993 (19930525)

INVENTOR(s): **SUGAWARA ATSUSHI**

UEDA TOMOMASA

APPLICANT(s): **TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP**
(Japan)

APPL. NO.: **03-292620 [JP 91292620]**

FILED: November 08, 1991 (19911108)

INTL CLASS: **[5] G02F-001/136; G02F-001/1335; G09F-009/30**

JADIO CLASS: **29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9**
(COMMUNICATION -- Other)

JADIO KEYWORD:R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --

Glass

Conductors)

JOURNAL: Section: P, Section No. 1609, Vol. 17, No. 498, Pg. 29,
September 08, 1993 (19930908)

ABSTRACT

PURPOSE: To provide a liquid crystal display device in which parasitic capacity between a picture element electrode and the electrode of a signal line or a scanning line, etc., adjacent to the picture element electrode is reduced and displayed picture quality is improved.

CONSTITUTION: This device is the liquid crystal display device provided with the signal lines 13 plurally arranged in a row direction or a column direction, the scanning lines 12 plurally arranged in a direction orthogonally crossed with the signal lines 13, the picture element electrode 14 arranged in an area surrounded by the signal line 13 and the scanning line 12, and a thin film transistor 11 connected between the picture element electrode 14 and the signal line 13. In this device, a

shield electrode 15 is formed between a layer where the signal line 13 is formed and a layer where the picture element electrode 14 is formed through insulating films 22 and 23.

特開平5-127195

(43)公開日 平成5年(1993)5月25日

(51) Int.Cl.	識別記号	F I
G02F 1/136	500 9018-2K	
1/1335	7724-2K	
G09F 9/30	338 7926-5G	

審査請求 未請求 請求項の数1 (全8頁)

(21)出願番号 特願平3-292620

(22)出願日 平成3年(1991)11月8日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 菅原 淳

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 上田 知正

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

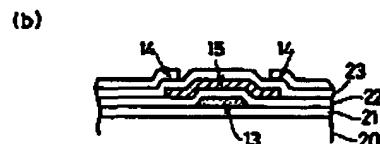
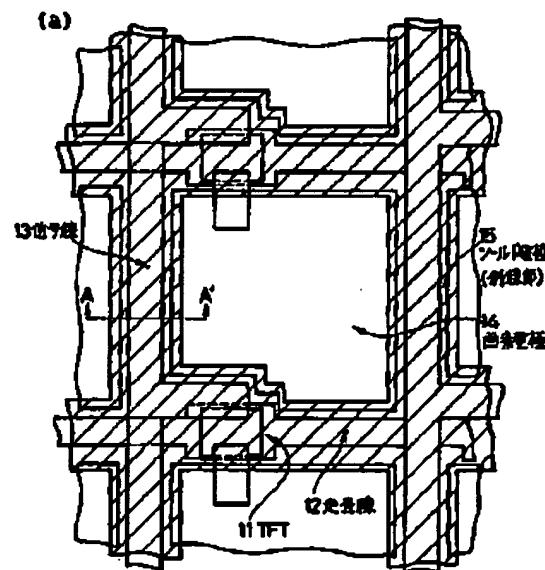
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】液晶表示装置

(57)【要約】

【目的】画素電極とこれに隣接する信号線や走査線等の電極との間の寄生容量を低減することができ、表示画質の向上をはかり得る液晶表示装置を提供すること。

【構成】行方向又は列方向に複数本配列された信号線13と、これらの信号線13と直交する方向に複数本配列された走査線12と、信号線13及び走査線12で囲まれた領域にそれぞれ配置された画素電極14と、画素電極14と信号線13との間に接続された薄膜トランジスタ11とを具備した液晶表示装置において、信号線13が形成された層と画素電極14が形成された層との間に、絶縁膜22、23を介してシールド電極15を形成したことを特徴とする。



【特許請求の範囲】

【請求項1】行方向又は列方向に複数本配列された信号線と、これらの信号線と直交する方向に複数本配列された走査線と、前記信号線及び走査線で囲まれた領域にそれぞれ配置された画素電極と、前記画素電極と信号線との間に接続された薄膜トランジスタとを具備した液晶表示装置において、

前記信号線が存在する層と前記画素電極が存在する層との間に、該信号線及び画素電極とそれぞれ絶縁層を介してシールド電極を形成してなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリックス型の液晶表示装置に係わり、特にアレイ基板側にシールド電極を形成した液晶表示装置に関する。

【0002】

【従来の技術】近年、薄型軽量の表示装置として、液晶ディスプレイの開発が活発に行われている。なかでも、高画質、高精細を実現する方式として、薄膜トランジスタアレイを用いたアクティブマトリックス方式の液晶ディスプレイが注目されている。現在、例えばラップトップ型コンピュータ用の液晶ディスプレイとしては、対角10インチサイズで画素数が縦500×横2000程度のものが主流であるが、より高画質、高精細のディスプレイを目指して、またファインピッチの高精細型プロジェクト

$$\Delta V_p = [C_{gs}/(C_{le} + C_s + C_{gs} + C_{ds})] \times \Delta V_g \quad \dots (1)$$

【0005】この突き抜け電圧 (ΔV_p) のため、画素電位は信号線の電位で書き込むことができない。そこで、対向電極の電位を ΔV_p 分だけ変化させて突き抜け電圧を補償したり、蓄積容量 (C_s) を増やして ΔV_p を小さくしている。しかし、 C_{le} は一定ではなく液晶にかかる電圧によって変化し、また製造上の問題で画面内の C_{gs} 、 C_s 、 C_{le} を常に一定にすることはできない。このため、 ΔV_p は画面内で一定でなくなり、対向電極の電位を調整するだけでは完全に補償することができない。その結果、画面上でフリッカや焼き付きが問題となる。

$$\Delta V_{ps} = (C_{ds1} \times \Delta V_{sig1} + C_{ds2} \times \Delta V_{sig2}) / (C_{le} + C_s + C_{gs} + C_{ds1} + C_{ds2}) \quad \dots (2)$$

【0007】となる。この電位変動 ΔV_{ps} が1フレーム毎に、言い換えれば画面の一一番下の画素列を書き込む毎に起こる。このため、画素毎に見ると書き込みが行われて ΔV_{ps} が起こるまでの時間が画面の上下で異なるため、それが輝度の変化として現われる。また、 C_{ds1} 、 C_{ds2} が大きくなると信号線の電位変動が画素電位変動につながりクロストークとなる。

【0008】これらの寄生容量をアレイ基板で見てみると、まず、 C_{gs} は主に TFT のチャネル部分と走査線電極とソース電極（画素電極）の重なり部分で形成され

ヨンの開発等が行われている。

【0003】薄膜トランジスタアレイを用いたアクティブマトリックス方式の液晶ディスプレイの1画素構成を図5(a)に、その等価回路を図5(b)に示す。図中1はスイッチング素子としての薄膜トランジスタ(TFT)、2は走査線、3は信号線、4は画素電極である。この装置では、走査線2が選択された時間だけ TFT1 がONとなり信号線3の電圧によって、画素電極4と対向電極(図示せず)に挟まれた液晶で形成されるコンデンサ(C_{le})と、アレイ基板上に作り込まれた補助容量(C_s)が充電される。走査線2の非選択時は、TFT1はOFFとなり、画素電極4は信号線3から切り離され、画素電位が保持される。このようにして、画素電極と対向電極との間に信号に対応した電界が生じ、液晶分子が電界の向きに配向し、液晶を通過する光をコントロールする。アクティブマトリックス方式の液晶ディスプレイの動作原理は、以上のようなものである。

【0004】ところで、薄膜トランジスタアレイにおいては、寄生容量として、画素電極-走査線間の静電容量(C_{gs})、画素電極-信号線間の静電容量(C_{ds})が存在する。従って画素電極は、信号線、走査線と静電容量結合しており、信号線、走査線の電位変動が画素電位に影響を与える。走査線の電位変動が問題となるのは画素につながる走査線のパルスが立ち下がった時で、この時に走査線パルスの立ち下がりに応じて突き抜け電圧(ΔV_p)と呼ばれる電位変動が起こる。

$$\Delta V_p = [C_{gs}/(C_{le} + C_s + C_{gs} + C_{ds})] \times \Delta V_g \quad \dots (1)$$

【0006】一方、信号線の電位変動は常に起こるため、画素電位変化の様子は一様ではない。また、信号線の駆動方法によても変化の様子が違うが、一例としてフレーム反転での変化の様子を説明する。フレーム反転では全ての信号線電位を同一極性とし、1フレーム毎に信号線の極性を反転するため、この極性を反転したときが最も信号線の電位変動が大きい。このときの画素電位の変動(ΔV_{ps})は、画素電極と静電容量を持つ左右の信号線の電位変化を ΔV_{sig1} 、 ΔV_{sig2} として、またそれぞれの静電容量を C_{ds1} 、 C_{ds2} とすると、

る。また、 C_{ds} は主に画素電極と信号線が接する部分で形成される。前述のようにディスプレイの高精細化が進み、1つの画素のサイズが小さくなってくると、各電極間を大きく離すことはディスプレイの開口率を大きく低下させることとなる。従って、各電極間をできるだけ近付けることが望ましい、このように電極間距離を近付けると、 C_{ds} 、 C_{gs} が更に大きくなり、これらの寄生容量が画質を劣化させる大きな要因となってくる。

【0009】さて、今まででは、アレイ基板の寄生容量による従来の諸問題について述べてきたが、液晶ディス

レイを光透過型デバイスとして使う場合、光による悪影響への対策を講じなければならない。液晶物質に電圧が掛かっていないときに表示が白或いは透明のとき、ノーマリーホワイトモードと呼ぶが、このとき画素電極と信号線電極の間から光が漏れ、コントラストが低下してしまう。これを防ぐために従来から、対向基板に遮光性導電膜でブラックマトリックスを形成している。しかし、対向基板に形成するという理由で、その位置ずれを考慮してブラックマトリックスを少し大きめに形成しなければならないので、開口率を犠牲にしている。

【0010】また、一旦液晶を通過した光が対向電極側のガラス基板やブラックマトリックス、或いはその後のレンズ系などに反射して前記の薄膜トランジスタのバックチャネルに入射すると、薄膜トランジスタのO F時のリーク電流となり、コントラスト低下などの画質劣化につながるという問題がある。

【0011】その他の問題としては、液晶のエッジリバースと呼ばれる問題がある。液晶ディスプレイは、基本的には画素電極と対向電極との間に電界を掛け、その方向に液晶物質が配向し光の透過、遮断を制御するものである。しかし、画素電極の直ぐ横に信号線が存在するので、この信号線と画素電極の間にいわば横方向の電界が掛り、液晶の配向状態を乱してしまう。これが、エッジリバースであり、コントラスト低下などの画質劣化につながる。液晶ディスプレイの高精細化が進むに伴い信号線と画素電極との間隔が益々狭くなり、この問題が深刻化している。

【0012】また、信号線と画素電極の隙間付近にある液晶は、信号線と画素電極の電位が異なる場合、その配向が信号線、画素の両方の電界の影響を受けている状態である。いわば、液晶配向の遷移状態にあるといえる。従来は、この遷移状態の液晶を通過する光は、画素電極の電位で制御されず、コントラスト低下などの画質劣化につながるので、対向基板に付けたブラックマトリックスで覆い隠すといった措置を取っている。これは、開口率を低くしている原因の一つとなる。

【0013】

【発明が解決しようとする課題】このように従来、突き抜け電圧を低く抑えるためには、(1) 式から分かるように蓄積容量 (C_s) を大きくしなければならないが、そのための電極を形成することは開口率を招く。また、 C_{ds} や C_{gs} 等の寄生容量は画質を劣化させる要因となり、特に C_{ds} が大きくなると信号線と画素電極とのクロストークが顕著に現れる。これらの寄生容量を小さくするために電極間距離を大きく離すと、開口率の低下につながる。また、高精細化が進むとエッジリバースによる画質劣化も無視できないものとなる。

【0014】本発明は、上記事情を考慮してなされたもので、その目的とするところは、電極間距離を大きく離すことなく、画素電極とこれに隣接する信号線や走査線

等の電極との間の寄生容量を低減することができ、クロストークの低減、 C_s の増大及びエッジリバースの抑制等により、表示画質の向上をはかり得る液晶表示装置を提供することにある。

【0015】

【課題を解決するための手段】本発明の骨子は、画素電極の存在する層と信号線の存在する層との間に、新たにシールド電極を設置して、画素電極に関する寄生容量の低減をはかることがある。

10 【0016】即ち本発明は、行方向又は列方向に複数本配列された信号線と、これらの信号線と直交する方向に複数本配列された走査線と、信号線及び走査線で囲まれた領域にそれぞれ配備された画素電極と、画素電極と信号線との間に接続された薄膜トランジスタとを具備した液晶表示装置において、信号線が存在する層と画素電極が存在する層との間に、該信号線及び画素電極とそれぞれ絶縁層を介してシールド電極を形成するようにしたものである。

【0017】

20 【作用】画素電極と信号線や走査線等の電極との間の静電容量は、2つの電極の形状と周囲の誘電率、電極形状に大きく左右される。2つの電極（例えば、画素電極と信号線電極）間に定電位のシールド電極が存在する場合、画素電極から信号線電極に向かう電気力線がシールド電極の静電シールド効果により減少する。この電気力線の減少は、2つの電極間の静電容量の減少を意味する。従って本発明によれば、シールド電極を画素電極と信号線との間に形成することによって、画素電極とこれに隣接する信号線との間の静電容量を減少させることができる。このため、従来技術に比べて画素電極に関する寄生容量を低減し、より高画質な、高精細な液晶ディスプレイの形成が可能となる。

30 【0018】本発明では、信号線と画素電極の間の層に、絶縁膜で絶縁を保ちながら、シールド電極を形成し一定電位に保つことにより、信号線電極の電位変動の影響を画素電極に伝えないようにし、クロストークをなくすことができる。さらに、このシールド電極は、液晶に掛ってしまう横方向の電界の最大値を抑え、前述のエッジリバースの影響を低くし、コントラスト等の表示特性を向上させることができる。そのうえ、このシールド電極と画素電極との間に静電容量を持つことから、これを前述の蓄積容量 (C_s) として使うことができるので、開口率を低めたり製作工程数を増やしたりせずにすむ。

40 【0019】また、シールド電極を T_a で形成し、その表面を陽極酸化すれば、表面に誘電率の高い絶縁膜を被覆した電極となり、前述の蓄積容量 (C_s) をより大きくすることができ、前述の突き抜け電圧や信号線・画素のクロストークをさらに低減させることができる。

50 【0020】また、シールド電極を遮光性導電膜で形成することにより、ブラックマトリックスとしての働きも

兼ねさせ、なおかつ、薄膜トランジスタのパックチャネルを光から守るチャネル遮光膜の働きもさせることができる。逆に、シールド電極を透明導電膜で形成すれば、開口率を低下させずに大きな静電容量を持った蓄積容量（C_s）を形成でき、前述の突き抜け電圧（ΔV_p）を低く抑えることができる。

【0021】また、シールド電極の電位を適当に調整することにより、信号線と画素電極の隙間付近の液晶の配向状態をコントロールし、ブラックマトリックス（シールド電極自身）で覆い隠さなければならない面積を減らして、開口率を上げることも可能である。

【0022】

【実施例】以下、本発明の詳細を図示の実施例によって説明する。

【0023】図1は本発明の第1の実施例に係わる液晶ディスプレイの1画素構成を示すもので、(a)は平面図、(b)は(a)の矢視A-A'断面図である。図中11はスイッチング素子としての薄膜トランジスタ(TFT)、12は走査線(ゲート線)、13は信号線、14は画素電極、15はシールド電極、20はガラス基板、21、22、23は絶縁膜を示している。

【0024】基本的な構成は従来装置と同様であるが、本実施例ではシールド電極15を新たに設けたことを特徴としている。即ち、シールド電極15は、信号線13が存在する層と画素電極14が存在する層との間に配置され、信号線13を覆うように且つ画素電極14と一部重なるように形成されている。また、シールド電極15と信号線13及び画素電極14との間には、絶縁膜22、23がそれぞれ配設されている。次に、上記装置の製造方法について説明する。

【0025】まず、ガラス基板20上にMo-Ta合金を250nm堆積し、これをパターニングして、走査線12を形成する。続いて、これらの上にゲート絶縁膜21としてSiO_x、SiNxをそれぞれ300nm、50nm堆積し、連続して活性層のa-Si、チャネル保護膜としてSiNxを、それぞれ50nm、200nm堆積する。

【0026】次いで、チャネル保護膜のSiNxを島状にエッティング形成したのち、オーミックコンタクト層としてのn'a-Si層を50nm堆積する。この後、n'a-Si、a-Siを島状にエッティングし、走査線12の取り出し部分のゲート絶縁膜21を除去する。

【0027】次いで、Cr、Alをそれぞれ50nm、300nm堆積し、これをパターニングして信号線13(ドレイン電極)、ソース電極を形成する。そして、信号線13をマスクにしてTFT11のソースドレイン電極間のn'a-Si層をチャネル保護膜とは選択的にエッティング除去する。その後、全面にSiNx膜22を350nm堆積してから、前記シールド電極15として、遮光性導電膜のCrを100nm堆積させる。な

お、シールド電極15としては、必ずしも遮光性導電膜に限らず、透明導電膜のITOを100nm堆積させてよい。さらに、遮光性導電膜としてのTaを600nm堆積させて、その表面を300nmだけ陽極酸化してもよい。

【0028】次いで、全面にSiNx膜23を200nm堆積し、前記走査線12の端部パッド部上と、前記ソース電極上、及び前記シールド電極15の端部パッド上のSiNxをエッティング除去する。但し、シールド電極15をTa及びその陽極酸化膜で形成した場合は、このSiNx膜を堆積しない。しかるのちに、画素電極14としてのITOを100nm堆積し、エッティングによりそのパターンを形成する。このようにして、TFTアレイが形成される。そして、このTFTアレイ基板と対向電極基板との間に液晶を挿入し、封止することにより、液晶ディスプレイが形成される。

【0029】このような構成であれば、画素電極14から信号線13に向かう電気力線がシールド電極15の静電シールド効果により減少する。このため、画素電極14と信号線13の静電容量が低減し、寄生容量に起因する画質の劣化を未然に防止することができる。つまり、表示画質の向上をはかることができる。なお、本発明者らの実験によれば、突き抜け電圧、フレーム反転による画素電位変動を検出して従来装置と比較することによって、シールド電極15の形成により画素電極14と信号線13の間の寄生容量が減少することが確認された。

【0030】また、本実施例では、シールド電極15を一定電位に保つことにより、信号線13の電位変動の影響を画素電極14に伝えないようにし、クロストークをなくすことができる。さらに、シールド電極15は液晶に掛ってしまう横方向の電界の最大値を抑え、前述のエッジリバースの影響を少なくするので、コントラスト等の表示特性を向上させることができる。しかも、シールド電極15は画素電極14との間に静電容量を持つことから、これを蓄積容量(C_s)として使うことができる。

【0031】また、シールド電極15を遮光性導電膜で形成しているので、これをブラックマトリックスとして利用することができ、さらにTFT11のパックチャネルを光から守るチャネル遮光膜として利用することができる。さらに、シールド電極15の電位を適当に調整することによって、信号線13と画素電極14の隙間付近の液晶の配向状態をコントロールし、ブラックマトリックス(シールド電極自身)で覆い隠さなければならない面積を減らして、開口率を上げることも可能である。

【0032】また、シールド電極をTaで形成し、その表面を陽極酸化すれば、表面に誘電率の高い絶縁膜を被覆した電極となり、前述の蓄積容量(C_s)をより大きくすることができ、突き抜け電圧や信号線、画素のクロストークをさらに低減させることができる。

【0033】図2は、本発明の第2の実施例の要部構成を示す図であり、(a)は平面図、(b)は(a)の矢視B-B'断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0034】この実施例が、先に説明した第1の実施例と異なる点は、遮光性導電膜のシールド電極25をマスクにし、アレイ基板の裏側から光を当てて画素電極14をセルフアラインで形成したことにある。

【0035】この実施例では、シールド電極25と画素電極14との間の静電容量を蓄積容量とするときに、パターン合わせずれによる蓄積容量の設計値からのずれをなくすことができる。また、この場合、画素電極14とシールド電極25がオーバラップしないので、絶縁膜のピンホールによる漏間ショートの恐れはない。

【0036】ここで、今後の投射型液晶テレビ、ビューファインダー等の高精細化への動向を考えると、画素サイズはできるだけ小さい方が望ましい。現状では、小型のものでも $100\mu\text{m} \times 100\mu\text{m}$ 程度である。将来的にはより一層の小型化が望まれるが、技術的に難しい問題を抱えている。例えば、画素サイズ $40\mu\text{m} \times 40\mu\text{m}$ として、従来のようにゲート線と同じ層に適切な大きさの蓄積容量電極を設けると、開口率は殆ど0%であり、また、狭い面積で容量を稼ぐために蓄積容量の絶縁膜を誘電率の高いものにしたとしても、高々開口率を20%にできる程度であった。

【0037】これに対し、第1及び第2の実施例のような構造を採用することにより、画素サイズが $40\mu\text{m} \times 40\mu\text{m}$ であるにも拘らず、開口率52%を達成することができた。

【0038】図3は、本発明の第3の実施例の要部構成を示す図であり、(a)は平面図、(b)は(a)の矢視C-C'断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0039】この実施例では、シールド電極35を透明導電膜にし、画素電極14下のほぼ全面にも形成している。ここで、シールド電極35が透明であることからTFT部分上にはシールド電極35を形成していないが、TFT部分の遮光には別に遮光膜を設ける、又は対向基板側に遮光膜を設けるようにすればよい。これによって、蓄積容量(Cs)を十分に大きくすることができ、突き抜け電圧(ΔV_p)の変動量を0.1V以下に低減することができた。また、図3のような画素形状を取り、ノーマリーブラックモードにすれば、画素サイズが $40\mu\text{m} \times 40\mu\text{m}$ であるにも拘らず、開口率57%を達成することができた。

【0040】また、シールド電極35を透明導電膜で作っていれば、走査線12と信号線13をマスクにして、アレイ基板の裏側から光を当てる所謂セルフアライン法で画素電極14を形成することもできる。この方法により、マスクの合わせずれを考慮せずに済むようになり、

走査線12及び信号線13を光漏れを防ぐブラックマトリックスとして利用することができる。これにより、前述の画素サイズが $40\mu\text{m} \times 40\mu\text{m}$ の場合で、開口率70%を達成することができた。また、ノーマリーホワイトモードを使えるので、コントラストを高くすることができるようになった。

【0041】図4は、本発明の第4の実施例の要部構成を示す図であり、(a)は平面図、(b)は(a)の矢視D-D'断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0042】この実施例は、基本的には第1の実施例と同様であるが、TFTのバックチャネル上部だけシールド電極15を除去している。なお、図中16はa-Si等の活性層、17はSiNx等のチャネル保護膜、18は対向電極、30は対向基板を示している。

【0043】ここで、シールド電極15の電位であるが、例えば対向電極と同電位にしておくと、結果的に開口率を最大にできる。但しこの場合、TFTのバックチャネル側に正電位の電極が存在するので、TFTのリード電流が懸念される。従って本実施例のようにバックチャネル上部だけシールド電極15を抜いておく。もし、TFTのバックチャネルを遮光しなければならない場合は、対向基板側にブラックマトリックスを取り付けばよい。

【0044】なお、本発明は上述した各実施例に限定されるものではない。TFTアレイのパターン、層構造や材料等は、実施例で用いたものに限定されるものではなく、仕様に応じて適宜変更可能である。また、シールド電極はゲート絶縁膜中にあってもよく、材料はCrでもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0045】

【発明の効果】以上詳述したように本発明によれば、信号線が形成された層と画素電極が形成された層との間にシールド電極を配設し、且つこのシールド電極を遮光性導電膜で形成することにより、次のような効果を期待できる。

- (1) 信号線と画素とのクロストークをなくすことができる。
- (2) シールド電極をブラックマトリックスとしても利用できるので、光漏れによるコントラスト低下を防ぐことができる。
- (3) 対向電極に反射して、薄膜トランジスタのチャネルに入射する光を遮断するチャネル遮光膜としての働きもある。

【0046】(4) エッジリバースを低減させて、コントラストを向上させることができる。

(5) 開口率を犠牲にせずに、なおかつ、製作工程数を増やすことなく、蓄積容量を形成できる。

【0047】(6) このシールド電極の電位を最適化すれ

ば、ブラックマトリックス（シールド電極自身が兼ねている）で覆い隠すべき面積を減らせるので、開口率を上げることができる。

【0048】また、シールド電極を、透明導電膜で形成する場合には、上記の(2)(3)の効果はないが、上記の(5)の効果の蓄積容量を大きくすることができるので、前述の突き抜け電圧をさらに小さく抑えることができる。

【図面の簡単な説明】

【図1】第1の実施例に係わる液晶ディスプレイの1画
素構成を示す図。

【図2】第2の実施例に係わる液晶ディスプレイの1画
素構成を示す図。

【図3】第3の実施例に係わる液晶ディスプレイの1画

素構成を示す図。

【図4】第4の実施例に係わる液晶ディスプレイの1画
素構成を示す図。

【図5】従来の液晶ディスプレイの1画素構成を示す
図。

【符号の説明】

11…薄膜トランジスタ（TFT）、

12…走査線（ゲート線）、

13…信号線、

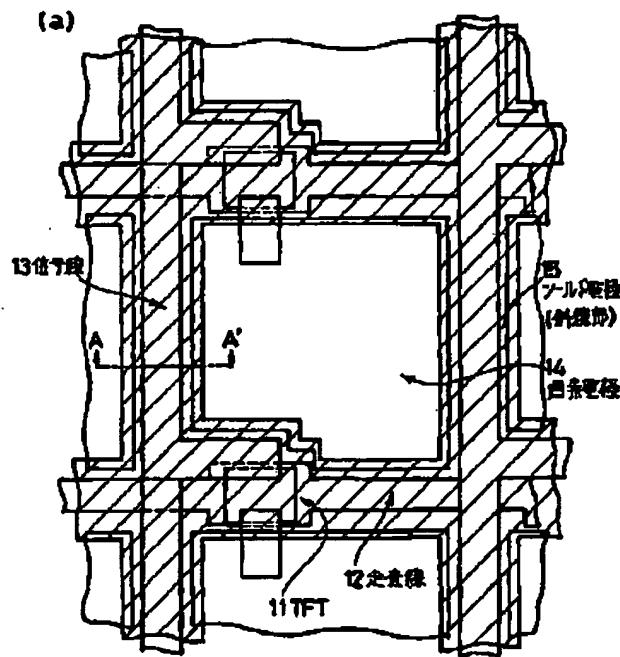
14…画素電極、

15, 25, 35…シールド電極、

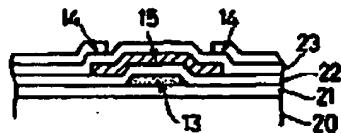
20…ガラス基板、

21, 22, 23…絶縁層。

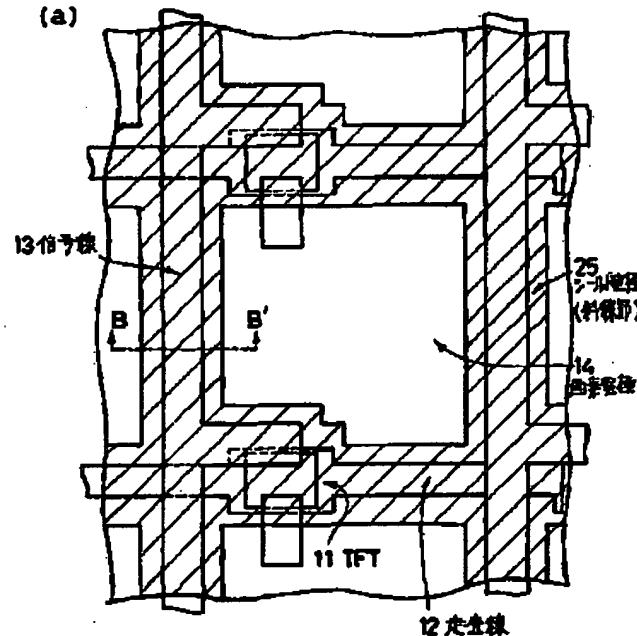
【図1】



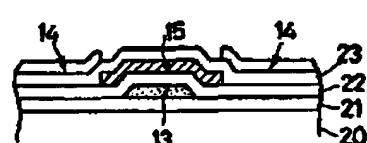
(b)



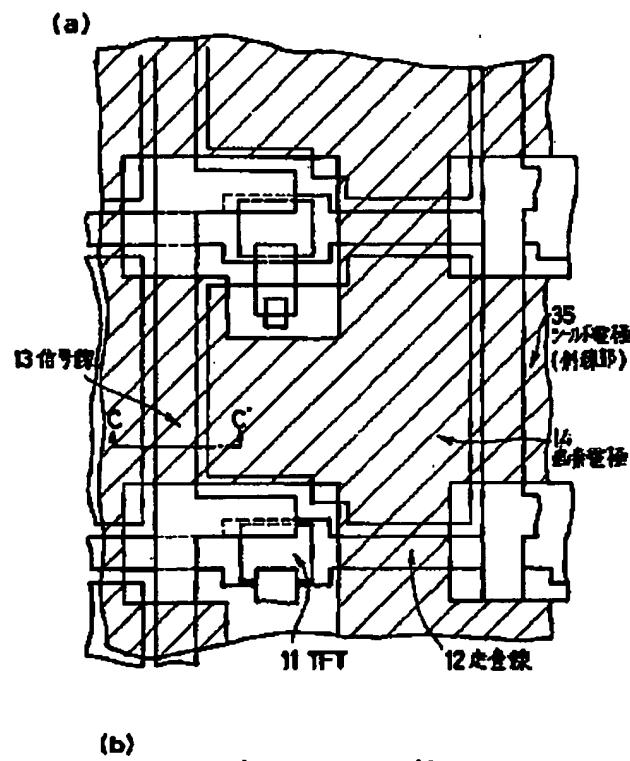
【図2】



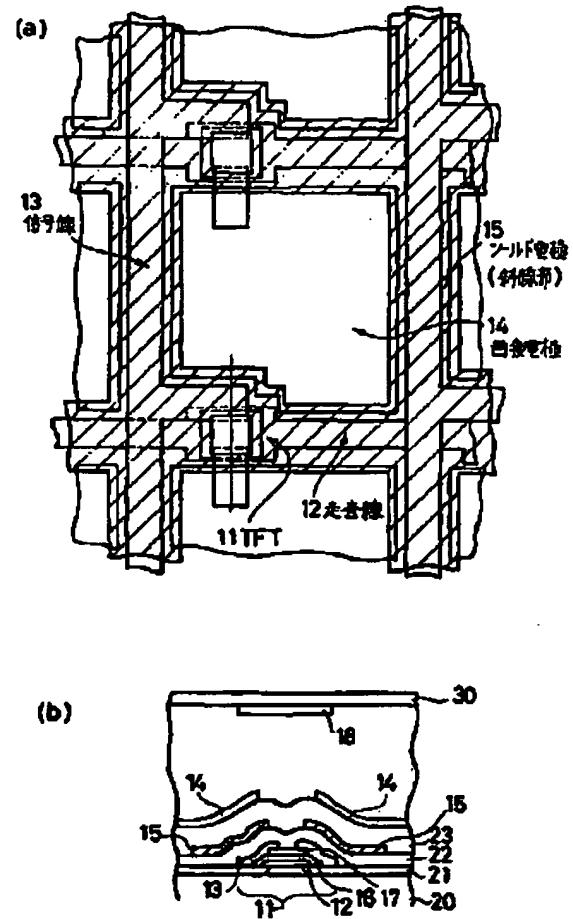
(b)



【図3】

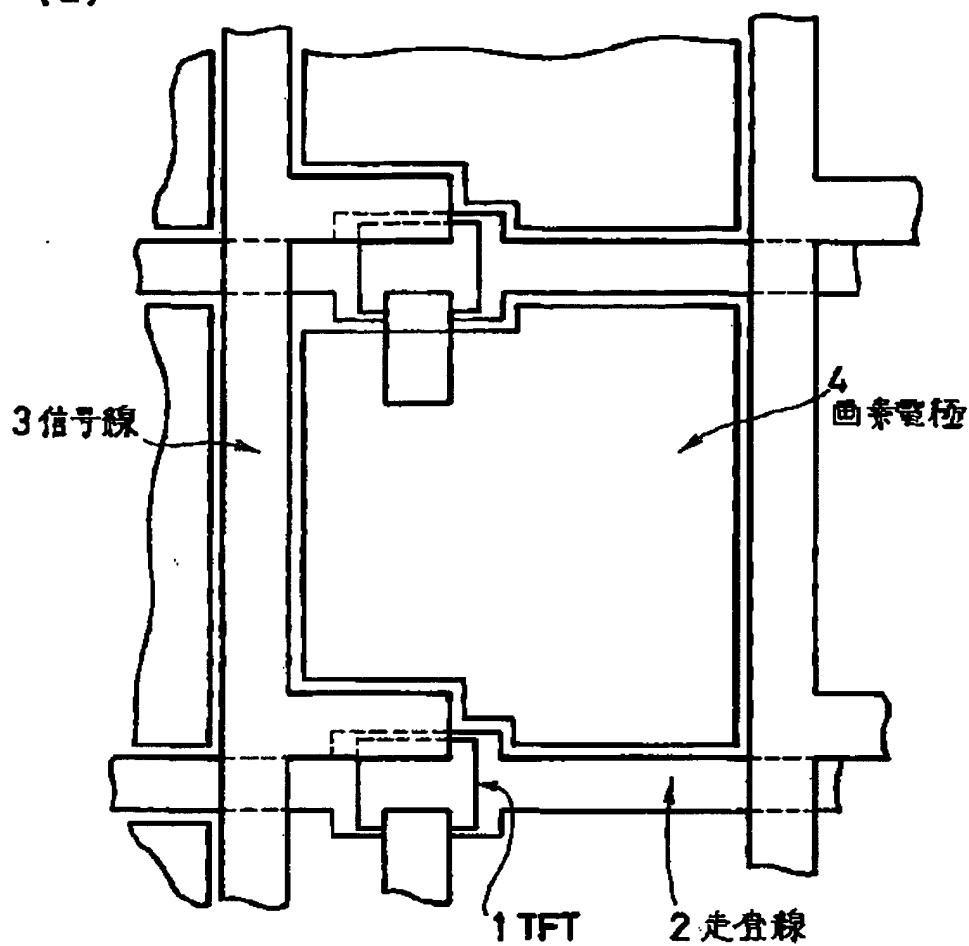


【図4】

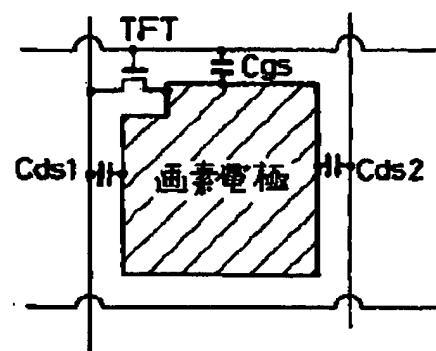


【図5】

(a)



(b)



(19) Japanese Patent Office (JP)
 (12) Publication of Laid-Open Patent Application (A)
 (11) Publication of Laid-Open Patent Application: No. H05-127195
 (43) Date of Publication: May 25, H5 (1993)

5

(51) Int. Cl. ⁵	Identification Symbol	JPO file number	FI
G02F 1/136	500	9018-2K	
	1/1335	7724-2K	
10 G09F 9/30	338	7926-5G	

10

Technique display part

Request for Examination: Not required

Number of Claims: 1(Total 8 pages)

15 (21) Patent Application: No. H3-292620

(22) Date of Application: November 8, H3 (1991)

(71) Applicant: 000003078

Toshiba Cooperation

20 72, Horikawacho, Saiwaiku, Kawasaki-shi, Kanagawa

(72) Inventor: Jun Sugawara

c/o Research and Development Center, Toshiba Corporation

1, Komukai Toshiba-cho, Saiwaiku, Kawasaki-shi, Kanagawa

(72) Inventor: Tomomasa Ueda

25 c/o Research and Development Center, Toshiba Corporation

1, Komukai Toshiba-cho, Saiwaiku, Kawasaki-shi, Kanagawa

(74) Agent: Patent Attorney, Takehiko Suzue

(54) [Title of the Invention] LIQUID CRYSTAL DISPLAY DEVICE

30 (57) [Abstract]

[Object] To provide a liquid crystal display device which can reduce a parasitic capacitance between a pixel electrode and an adjacent electrode such as a signal line, a scanning line or the like and enhance display image quality.

[Constitution] A liquid crystal display device, characterized by comprising a plurality of signal lines 13 arranged in a row direction or a column direction, a plurality of scanning lines 12 formed perpendicular to the signal lines 13, every pixel electrode

14 formed in a region surrounded by the signal lines 13 and the scanning lines 12, and a thin film transistor 11 connected between the pixel electrode 14 and the signal line 13, wherein a shield electrode 15 is formed between a layer in which the signal line 13 is formed and a layer in which the pixel electrode 14 is formed via insulating films 22 and
5 23.

[Scope of Claim for Patent]

[Claim 1] A liquid crystal display device comprising a plurality of signal lines formed in a row direction or a column direction, a plurality of scanning lines formed perpendicular to the signal lines, pixel electrodes formed in every regions surrounded by the signal lines and the scanning lines, a thin film transistor connected between the pixel electrode and the signal line,

5 said liquid crystal display device characterized in that a shield electrode is formed between a layer in which the signal line exists and a layer in which the pixel electrode exists via insulating layers, respectively.

10 [Detailed Description of the Invention]

[0001]

[Field of Industrial Application]

15 The present invention relates to an active-matrix liquid crystal display device and particularly relates to a liquid crystal display device in which a shield electrode is formed on an array substrate side.

[0002]

[Related Art]

20 In recent years, as a thin and lightweight display device, the development of a liquid crystal display has been performed actively. Above all, an active-matrix liquid crystal display using a thin film transistor array attracts attention as a mode for realizing high image quality and high definition. At present, for example, a mainstream liquid crystal display for a laptop computer has the diagonal size of 10 inches and 500×2000 pixels. With the aim of a higher image quality and higher definition display, fine pitch high-definition projection is developed.

25 [0003]

FIG. 5(a) shows a pixel structure of an active-matrix liquid crystal display using a thin film transistor array, and FIG. 5(b) shows an equivalent circuit thereof. Reference numeral 1 denotes a thin film transistor (TFT) as a switching element; 2, a scanning line; 3, a signal line; and 4, a pixel electrode. In this device, the TFT 1 turns on only while the scanning line 2 is selected. Due to voltage of the signal line 3, a capacitor (C_{LC}) formed of a liquid crystal interposed between the pixel electrode 4 and an opposite electrode (not shown) and an auxiliary capacitor (C_s) formed over an array substrate are charged. While the scanning line 2 is not selected, the TFT 1 is off, and the pixel electrode 4 is separated from the signal line 3, then a pixel electric potential is held. In this way, an electric field corresponding to signals is generated between the pixel electrode and the opposite electrode, and liquid crystal molecules are oriented in

the direction of the electric field, then light passing a liquid crystal is controlled. The operating theory of an active-matrix liquid crystal display is like the above.

[0004]

In a thin film transistor array, there exist a capacitance between a pixel electrode and a scanning line (C_{gs}) and a capacitance between a pixel electrode and a signal line (C_{ds}) as a parasitic capacitance. Therefore, the pixel electrode is capacitively coupled with the signal line and the scanning line, a potential change in the signal line and the scanning line affects a pixel electric potential. The potential change of the scanning line becomes a problem when a pulse of the scanning line connected to a pixel falls, and a potential change referred to as pinch off voltage (ΔV_p) occurs depending on falling of the scanning line pulse.

$$\Delta V_p = \{C_{gs} / (C_{LC} + C_s + C_{gs} + C_{ds})\} \times \Delta V_g \quad \dots (1)$$

[0005]

Because of the pinch off voltage (ΔV_p), a pixel electric potential cannot be written in with an electric potential of the signal line. Then, the pinch off voltage is compensated by changing an electric potential of an opposite electrode by ΔV_p , or ΔV_p is lowered by increasing a storage capacitance (C_s). However, C_{LC} is not constant and varies with the voltage applied to a liquid crystal. Moreover, because of a problem of manufacturing, C_{gs} , C_s , and C_{LC} cannot be kept constant at all times. For this reason, ΔV_p is not constant on the screen, and cannot be completely compensated only by adjusting an electric potential of the opposite electrode. Consequently, a problem on the screen such as a flicker or a burn-in appears.

[0006]

On the other hand, as a change of the electric potential of the signal line occurs constantly, a change manner of the pixel electric potential is not uniform. Though the change manner differs depending on a driving method of signal lines, a change manner in the case of using a frame inversion is described below as an example. In frame inversion, because all electric potentials of signal lines have the same polarity and a polarity of a signal line is inverted every one frame, the change of the electric potential of the signal line is the greatest when the polarity is inverted. At this point, assuming that changes of electric potentials of right and left signal lines having the pixel electrode and the capacitance are ΔV_{sig1} and ΔV_{sig2} and that corresponding capacitance is C_{ds1} and C_{ds2} , a change of the pixel electric potential (ΔV_{ps}) is as follows;

$$\Delta V_{ps} = (C_{ds1} \times \Delta V_{sig1} + C_{ds2} \times \Delta V_{sig2}) / (C_{LC} + C_s + C_{gs} + C_{ds1} + C_{ds2}) \dots (2)$$

[0007]

The pixel electric potential change ΔV_{ps} occurs every frame, in other words,

every time a pixel row at the bottom of a screen is written. In view of each pixel, the time between writing and occurrence of ΔV_{ps} varies between the top and the bottom of a screen, which leads to a change of luminance. Also, when C_{ds1} and C_{ds2} increase, the electric potential change of the signal line causes the change of a pixel electric potential, which results in crosstalk.

[0008]

Considering the parasitic capacitance in terms of an array substrate, C_{gs} is formed mainly in a channel portion of TFT and an overlap portion of a scanning line electrode and a source electrode (a pixel electrode). In addition, C_{ds} is formed mainly in the contact portion of a pixel electrode and a signal line. As described above, if the high definition of a display advances and the size of a pixel becomes smaller, separating each electrode far greatly lowers the aperture ratio of a display. It is desired to bring each electrode close as much as possible. Thus, C_{ds} and C_{gs} increase more when the distance between electrodes gets short. These parasitic capacitances become large factors in deterioration of image quality.

[0009]

So far, the conventional problems due to the parasitic capacitance of an array substrate have been described. But in the case where a liquid crystal display is used as a light transmission device, a countermeasure against an adverse effect by light has to be taken. When a voltage is not applied to a liquid crystal material and the display is white or transparent, which is referred to as a normally white mode, light leaks between a pixel electrode and a signal line electrode, and then the contrast is reduced. In order to prevent this phenomenon, a black matrix is conventionally formed using a light shielding conductive film over an opposite substrate. However, since a black matrix is formed over an opposite substrate, it needs to be formed slightly bigger in consideration of the misalignment. Therefore, the aperture ratio is sacrificed.

[0010]

When light which has once passed through a liquid crystal reflects on a glass substrate or a black matrix of the opposite electrode side or on a subsequent lens system and enters a back channel of a thin film transistor, then a leakage current of the thin film transistor is generated in the OFF state, which leads to the deterioration of image quality such as contrast reduction.

[0011]

As another problem, there is a problem referred to as edge reverse of a liquid crystal. A liquid crystal display basically controls light transmission and interception with an application of an electric field between a pixel electrode and an opposite

electrode and, accordingly, the orientation of a liquid crystal material in the direction of the electric field. However, the existence of a signal line right next to the pixel electrode applies an electric field between the signal line and the pixel electrode in a so-called lateral direction and disturbs the orientation state of the liquid crystal. This is
5 the edge reverse, which leads to image quality deterioration such as the contrast reduction. As high definition of a liquid crystal advances, the space between a signal line and a pixel electrode becomes narrower. The problem becomes more serious.
[0012]

When each electric potential of a signal line and a pixel electrode is different,
10 the orientation of a liquid crystal which is close to an interstice between a signal line and a pixel electrode is affected by the electric field of both the signal line and the pixel electrode. The liquid crystal is, so to speak, in a transitional state of liquid crystal orientation. Conventionally, light passing through the liquid crystal in the transitional state is not controlled with an electric potential of a pixel electrode, which leads to
15 image quality deterioration such as the contrast depression. Therefore, a measure to cover the liquid crystal with a black matrix attached to an opposite substrate is taken. This is one of causes of lowering an aperture ratio.

[0013]

[Problems to be Solved by the Invention]

In order to keep the pinch off voltage low, as can be seen from Expression (1),
20 storage capacitance (C_s) should be large conventionally. Forming an electrode with the aim of the large storage capacitance, however, lowers an aperture ratio. In addition, a parasitic capacitance such as C_{ds} or C_{gs} is a factor of image quality deterioration. Particularly when C_{ds} becomes larger, a crosstalk between a signal line and a pixel
25 electrode occurs conspicuously. When the distance between electrodes is increased in order to lower these parasitic capacitances, the decrease of the aperture ratio is generated. As high definition advances, the image quality deterioration due to the edge reverse cannot be ignored.

[0014]

The present invention is made in consideration of the above circumstances, and
30 it is an object of the invention to provide a liquid crystal display device which can reduce the parasitic capacitance between a pixel electrode and an electrode of a signal line and a scanning line adjacent thereto, or the like and enhance display image quality with abatement of crosstalk, augmentation of C_s , an inhibition of edge reverse, or the
35 like.

[0015]

[Means to Solve the Problem]

The main point of the present invention is to reduce a parasitic capacitance as to the pixel electrode by newly forming a shield electrode between a layer in which a pixel electrode is formed and a layer in which a signal line is formed.

5 [0016]

The present invention is a liquid crystal display device, comprising a plurality of signal lines arranged in a row direction or a column direction, a plurality of scanning lines arranged perpendicular to the signal lines, the pixel electrode formed in a region surrounded by the signal lines and the scanning lines, and a thin film transistor
10 connected between the pixel electrode and the signal line, wherein a shield electrode is formed between a layer in which the signal line exists and a layer in which the pixel electrode exists via insulating layers, respectively.

[0017]

[Operation]

15 The capacitance between a pixel electrode and an electrode of a signal line, a scanning line, or the like depends greatly on the shape of the two electrodes, an ambient dielectric constant thereof, and an electrode shape. When there exists a constant potential shield electrode between two electrodes (for example, a pixel electrode and a signal line electrode), the number of lines of electric force running from the pixel
20 electrode to the signal line electrode decreases by an electrostatic shield effect of the shield electrode. This decrease of the electric line of force means the reduction of the capacitance between the two electrodes. Therefore, according to the invention, by forming the shield electrode between the pixel electrode and the signal line, the reduction of the capacitance between the pixel electrode and the adjacent signal line
25 thereto can be realized. Accordingly, compared to conventional technology, the formation of a higher-image-quality and higher-definition liquid crystal display which can reduce the parasitic capacitance with respect to the pixel electrode is achieved.

[0018]

In the present invention, by forming the shield electrode in a layer between the
30 signal line and the pixel electrode and keeping an electric potential constant while keeping insulation using insulating films, a change of the electric potential of the signal line electrode does not affect the pixel electrode, and a crosstalk can be abated. Further, this shield electrode can control a maximum of a lateral electric field applied to a liquid crystal, lower the effect of the edge reverse mentioned above, and enhance
35 display characteristics such as contrast. Moreover, because there is a capacitance between the shield electrode and the pixel electrode, the capacitance can be used as the

aforementioned storage capacitance (C_s), which prevents an aperture ratio from lowering and prevents the number of manufacturing steps from increasing.

[0019]

Forming a shield electrode of Ta and anodizing a surface thereof make an electrode covered with an insulating film having a high dielectric constant. Then, the storage capacitance (C_s) can be increased, and the pinch off voltage and the crosstalk between the signal line and the pixel can be lowered more.

[0020]

Owing to forming a shield electrode with a light shielding conductive film, the shield electrode also serves as a black matrix and a channel light shielding film which protects a back channel of a thin film transistor from light. On the contrary, when a shield electrode is formed of a transparent conductive film, the storage capacitance (C_s) which has a large capacitance can be formed without lowering the aperture ratio, and the pinch off voltage (ΔV_p) can be suppressed.

[0021]

In addition, by adjusting the electric potential of the shield electrode appropriately, an orientation state of a liquid crystal close to the interstice between the signal line and the pixel electrode can be controlled, the area to be covered with the black matrix (the shield electrode itself) is reduced, and the aperture ratio can be raised.

[0022]

[Embodiment]

Hereinafter, a detail of the present invention is described with reference to illustrated embodiments.

[0023]

FIG. 1 shows a pixel structure of a liquid crystal display of a first embodiment of the invention. FIG. 1(a) is a plane view, and FIG. 1 (b) is a cross-sectional view along line A to A'. Reference numeral 11 denotes a thin film transistor (TFT) as a switching element; 12, a scanning line (a gate line); 13, a signal line; 14, a pixel electrode; 15, a shield electrode; 20, a glass substrate; and 21, 22, and 23, insulating films.

[0024]

Though the basic structure is similar to a conventional device, this embodiment is characterized by providing a shield electrode 15 newly. Specifically, the shield electrode 15 is formed between a layer in which the signal line 13 is formed and a layer in which the pixel electrode 14 is formed. The shield electrode 15 is arranged to cover the signal line 13 and overlap the pixel electrode 14. Further, the insulating films 22

and 23 are each formed between the shield electrode 15 and the signal line 13, and the pixel electrode 14. Next, a method for manufacturing the above device is described.

[0025]

First, a Mo-Ta alloy having a thickness of 250 nm is deposited over the glass substrate 20. And the scanning line 12 is formed by patterning the alloy. Then, as the gate insulating film 21, SiO_x and SiN_x are deposited with a thickness of 300 nm and 50 nm, respectively. Subsequently, a-Si of an active layer is deposited with a thickness of 50 nm, and SiN_x as a channel protective film is deposited with a thickness of 200 nm.

[0026]

Next, SiN_x, the channel protective film, is etched into an island shape, and n⁺a-Si layer is deposited as an ohmic contact layer with a thickness of 50 nm. After that, n⁺a-Si and a-Si are etched into an island shape, and the gate insulating film 21 in an extraction portion of the scanning line 12 is removed.

[0027]

Then, Cr is deposited with a thickness of 50 nm, and Al is deposited with a thickness of 300 nm. Then, the signal line 13 (a drain electrode) and a source electrode are formed by patterning Cr and Al. The n⁺a-Si layer between source and drain electrodes of the TFT 11 is selectively etched and removed from the channel protective film, using the signal line 13 as a mask. The SiN_x film 22 is deposited over the entire surface with a thickness of 350 nm. As for the shield electrode 15, Cr, a light shielding conductive film, is deposited with a thickness of 100 nm. Note that the shield electrode 15 is not necessarily limited to the light shielding conductive film. ITO of a transparent conductive film having a thickness of 100 nm may be deposited. Further, Ta as the light shielding conductive film having a thickness of 600 nm may be deposited, and a surface thereof may be anodized by a thickness of 300 nm.

[0028]

Subsequently, the SiN_x film 23 is deposited with a thickness of 200 nm over the entire surface. SiN_x over an edge pad portion of the scanning line 12, over the source electrode, and over an edge pad of the shield electrode 15, is removed by etching. However, the SiN_x film is not deposited in the case of forming the shield electrode 15 with Ta and an anodized film thereof. After that, ITO as the pixel electrode 14 is deposited with a thickness of 100 nm, and the pattern is formed by etching. Thus, a TFT array is formed. And a liquid crystal display is formed by interposing a liquid crystal between the TFT array substrate and an opposite electrode substrate thereof and performing sealing.

[0029]

In the case of such a structure, an electric line of force running from the pixel electrode 14 to the signal line 13 decreases due to an electrostatic shield effect of the shield electrode 15. Therefore, the capacitance between the pixel electrode and the signal line is reduced, and the image quality deterioration due to parasitic capacitance
5 can be prevented. In other words, the display image quality can be improved. According to an experiment by the present inventors, the reduction of the parasitic capacitance between the pixel electrode and the signal line by forming the shield electrode 15 was confirmed by detecting a pinch off voltage and a pixel potential change due to a frame inversion and and by comparing with a conventional device.

10 [0030]

In this embodiment, by keeping the constant electric potential of the shield electrode 15, a change of the electric potential of the signal line 13 does not affect the pixel electrode 14, and a crosstalk can be abated. Further, the shield electrode 15 can control a maximum of an electric field applied to a liquid crystal in a lateral direction,
15 lower the effect of the edge reverse mentioned above, and enhance display characteristics such as contrast. Moreover, because the shield electrode 15 has a capacitance between the shield electrode 15 and the pixel electrode 14, the capacitance can be used as storage capacitance (Cs).

[0031]

Because the shield electrode 15 is formed with the use of the light shielding conductive film, it can be used as a black matrix and also as a channel light shielding film protecting a back channel of the TFT 11 from light. In addition, adjusting properly the electric potential of the shield electrode 15 controls an orientation state of the liquid crystal close to an interstice between the signal line 13 and the pixel electrode
25 14, and reduces an area to be covered with the black matrix (the shield electrode itself), which can raise an aperture ratio.

[0032]

Forming the shield electrode with Ta and anodizing the surface make an electrode covered with a high dielectric constant insulating film on the surface, which
30 can increase the storage capacitance (Cs), and reduce the pinch off voltage and a crosstalk between the signal line and the pixel.

[0033]

FIG. 2 shows a key constitution of a second embodiment of the present invention. FIG. 2(a) is a plane view, and FIG. 2(b) is a cross-sectional view of a line B-B' from FIG. 2(a). Note that the same reference numeral is given to the same portion as FIG. 1, and the detailed explanation thereof is omitted.

[0034]

This embodiment is different from the above-described first embodiment in that the pixel electrode 14 is formed in a self-aligned manner by using a shield electrode 25 which is the light shielding conductive film as a mask and irradiating a backside of the array substrate with light.

[0035]

In this embodiment, when a capacitance between the shield electrode 25 and the pixel electrode 14 is used as a storage capacitance, a gap between the storage capacitance and a design value due to pattern misalignment can be eliminated. In this case, since the pixel electrode 14 does not overlap the shield electrode 25, there is no possibility of an interlayer short caused by a pinhole in an insulating film.

[0036]

Here, considering the trend in a future projection liquid crystal television, viewfinder, or the like toward higher definition, a pixel size is preferred to be as small as possible. The smallest pixel size is about $100 \mu\text{m} \times 100 \mu\text{m}$ at present. Though further miniaturization is desired in the future, there are technically difficult problems. For example, when a pixel size of $40 \mu\text{m} \times 40 \mu\text{m}$ was used and a storage capacitance electrode having a proper size was conventionally provided in the same layer as a gate line, the aperture ratio was almost 0 %. Even though the insulating film of the storage capacitance had a high dielectric constant in order to increase a capacitance in a small area, the aperture ratio was only 20 % at most.

[0037]

On the other hand, the aperture ratio of 52 % could be achieved even in the pixel size of $40 \mu\text{m} \times 40 \mu\text{m}$ by adopting the structures as in the first and second embodiments.

[0038]

FIG. 3 shows a key constitution for a third embodiment of the present invention. FIG. 3(a) is a plane view, and FIG. 3(b) is a cross-sectional view of a line C-C' from FIG. 3(a). Note that the same reference numeral is given to the same portion as FIG. 1, and the detail explanation thereof is omitted.

[0039]

In this embodiment, a shield electrode 35 is a transparent conductive film, and is almost entirely formed under the pixel electrode 14. Since the shield electrode 35 is transparent, the shield electrode 35 is not formed over a TFT portion. Instead, a light shielding film may be separately formed over the TFT portion, or the light shielding film may be formed on an opposite substrate side for shielding light. Consequently,

the storage capacitance (C_s) could be sufficiently large, and a changing amount of the pinch off voltage (ΔV_p) could be reduced to 0.1 V or less. When the pixel shape as shown in FIG. 3 was adopted and a normally black mode was used, the aperture ratio could reach 57 % even with the pixel size of 40 $\mu\text{m} \times 40 \mu\text{m}$.

5 [0040]

In addition, when the shield electrode 35 is formed with the transparent conductive film, the pixel electrode 14 is formed in, so-called, the self alignment method by using the scanning line 12 and the signal line 13 as the mask and irradiating a backside of the array substrate with light. By this method, mask misalignment need 10 not be considered. Therefore, the scanning line 12 and the signal line 13 can be used as a black matrix to prevent light leakage. Accordingly, the aperture ratio reached 70 % in the case of the pixel size of 40 $\mu\text{m} \times 40 \mu\text{m}$. Further, a normally white mode could be used, which enhanced contrast.

[0041]

15 FIG. 4 shows a key constitution of a fourth embodiment of the present invention. FIG. 4(a) is a plane view, and FIG. 4(b) is a cross-sectional view of a line D-D' from FIG. 4(a). Note that the same reference numeral is given to the same portion as FIG. 1, and the detail explanation thereof is omitted.

[0042]

20 Although this embodiment is basically similar to the first embodiment, the shield electrode 15 is removed only from an upper portion of the back channel of the TFT. Note that reference numeral 16 in FIG. 4 denotes an active layer of a-Si or the like; 17, a channel protective film of SiNx or the like; 18, an opposite electrode; and 30, an opposite substrate.

25 [0043]

When the electric potential of the shield electrode 15, for example, is the same potential as that of the opposite electrode, accordingly the aperture ratio can be maximized. However, in this case, because there exists an electrode having a positive electric potential on a back channel side of the TFT, leakage current of the TFT is concerned. Thus, the shield electrode 15 is removed only from an upper portion of the back channel as in this embodiment. When the back channel of the TFT needs to be 30 shielded from light, a black matrix may be provided on an opposite substrate side.

[0044]

Note that the present invention is not limited to each of the embodiments 35 described above. The pattern, the layer structure, the material, and the like of the TFT array are not limited to those used in the embodiments. Those can be properly

changed according to specifications. In addition, the shield electrode may be formed in the gate insulating film, and the material may be Cr. The invention can be modified variously and implemented unless deviating from the substance of the present invention.

[0045]

5 [Effect of the Invention]

According to the invention as described above in detail, by arranging a shield electrode between a layer in which a signal line is formed and a layer in which a pixel electrode is formed and forming the shield electrode with a lightproof conductive film, following effects can be expected.

10 (1) Crosstalk between the signal line and a pixel can be abated.
(2) Since the shield electrode can also be used as a black matrix, reduction in contrast due to light leakage can be prevented.
(3) The shield electrode functions as a channel lightproof film for intercepting the light which reflects off an opposite electrode and then enters a channel of a thin film
15 transistor.

[0046]

(4) Edge reverse can be inhibited, and contrast can be increased.

(5) Storage capacitance can be formed without sacrificing an aperture ratio and increasing the number of manufacturing steps.

20 [0047]

(6) Optimizing an electric potential of the shield electrode reduces the area to be covered with the black matrix (the shield electrode itself serves as that), which can raise the aperture ratio.

[0048]

25 When the shield electrode is formed with a transparent conductive film, no effects of the above mentioned (2) and (3) is obtained. However, the storage capacitance can be increased as the above effect (5), the aforementioned pinch off voltage can be further reduced.

[Brief Description of Drawing]

30 [FIG. 1] A figure showing a pixel structure of a liquid crystal display according to a first embodiment.

[FIG. 2] A figure showing a pixel structure of a liquid crystal display according to a second embodiment.

35 [FIG. 3] A figure showing a pixel structure of a liquid crystal display according to a third embodiment.

[FIG. 4] A figure showing a pixel structure of a liquid crystal display according to a

fourth embodiment.

[FIG. 5] A figure showing a pixel structure of a conventional liquid crystal display.
[Explanation of Reference]

11...Thin film transistor (TFT); 12...Scanning line (gate line); 13...Signal line;
5 14...Pixel electrode; 15, 25, and 35...Shield electrode; 20...Glass substrate; 21, 22, and
22...Insulating layer.